


# TRANSMISSION LINE, FILTER, DUPLEXER AND COMMUNICATIONS EQUIPMENT

**Patent number:** JP2001028506  
**Publication date:** 2001-01-30  
**Inventor:** TSUJIGUCHI TATSUYA  
**Applicant:** MURATA MFG CO LTD  
**Classification:**  
- international: H01P3/08; H01P1/203; H01P3/02; H05K1/16  
- european:  
**Application number:** JP19990199237 19990713  
**Priority number(s):**

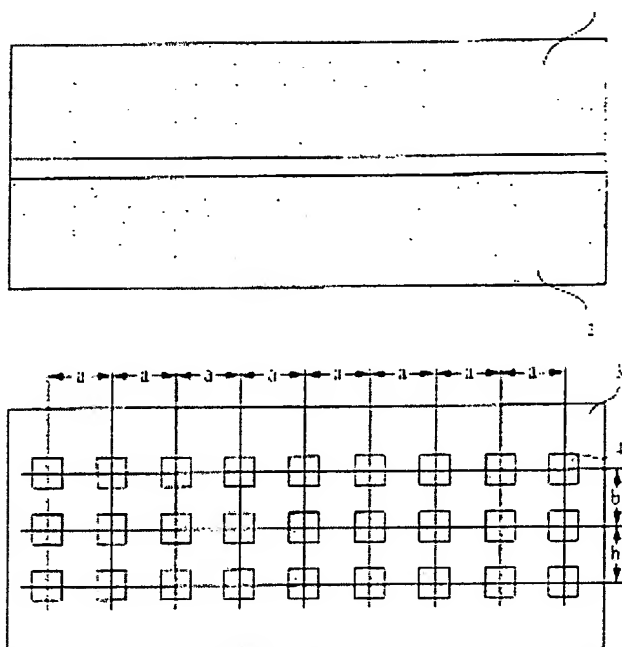
Also published as:

 US6577211 (B1)

## Abstract of JP2001028506

**PROBLEM TO BE SOLVED:** To prevent deterioration of a reflection characteristic and the increase of pass loss in a full frequency band, in the case of constructing a transmission line provided with a desired frequency characteristic by forming an electrode elimination pattern on a ground plane.

**SOLUTION:** A conductor line 2 is formed on the upper face of a dielectric plate 1, a ground electrode 3 is formed on the lower face, and electrode non-forming parts 4 are also distributed with intervals (a) in the direction of signal propagation and with intervals (b) in a perpendicular direction to the signal propagation direction. Thus, transmission loss is increased in a frequency band defined by the intervals (a) to produce a band prevention type or low-pass type filter characteristic, and the attenuation quantity, etc., of the a prevention band is defined by the intervals (b) in the width direction.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-28506

(P2001-28506A)

(43) 公開日 平成13年1月30日 (2001.1.30)

(51) IntCl. <sup>7</sup>	識別記号	F I	テグト <sup>*</sup> (参考)
H 0 1 P	3/08	H 0 1 P	4 E 3 5 1
	1/203		5 J 0 0 6
	3/02		5 J 0 1 4
H 0 5 K	1/16	H 0 5 K	A

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平11-199237

(22) 出願日 平成11年7月13日 (1999.7.13)

(71) 出願人 00006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 辻口 達也

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(74) 代理人 100084548

弁理士 小森 久夫

Fターム(参考) 4E35I BB04 BB17 DD01 DD41 FF07

GG06 GG11

5J006 HA03 HA12 HA15 HB03 HB17

JA02 KA01 KA12 LA03 LA07

LA21 MA03 NA08 NB05 NE13

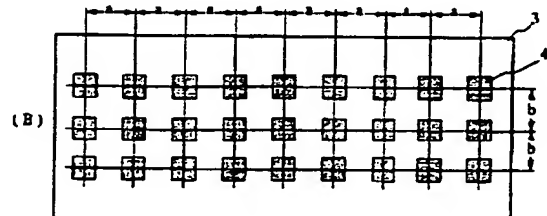
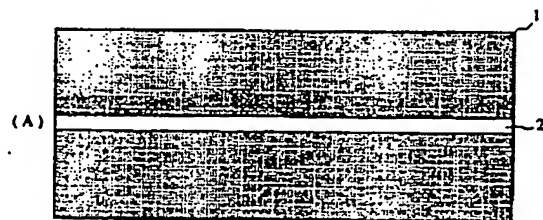
5J014 BA03 CA09 CA41

(54) 【発明の名称】 伝送線路、フィルタ、デュプレクサおよび通信装置

(57) 【要約】

【課題】 接地面に電極削除パターンを形成することにより、所望の周波数特性を備えた伝送線路を構成する際、反射特性の劣化と通過損失の増大の問題を回避するとともに、所望の周波数特性を備えた伝送線路、フィルタ、デュプレクサおよびそれらを用いた通信装置を提供する。

【解決手段】 誘電体板1の上面に導体線路2を形成し、下面に接地電極3を形成するとともに、信号の伝搬方向に間隔a、それに垂直な方向に間隔bで、電極非形成部4を分布させる。これにより、間隔aで定まる周波数帯域で通過損失を増大させて帯域阻止型または低域通過型のフィルタ特性を生じさせ、幅方向の間隔bによって阻止帯域の減衰量などを定める。



## 【特許請求の範囲】

【請求項1】 信号伝搬線路部分と、それに対応する接地電極を有する伝送線路において、

前記接地電極の形成面に、信号の伝搬方向に略等間隔で、且つ信号の伝搬方向に対して略垂直な方向に、少なくとも1箇所は、前記信号の伝搬方向とは異なる間隔で、それぞれ分布する電極非形成部を設けたことを特徴とする伝送線路。

【請求項2】 前記信号の伝搬方向に対して略垂直な方向の電極非形成部の間隔を、前記信号伝搬線路の線路インピーダンスに応じて変化させたことを特徴とする請求項1に記載の伝送線路。

【請求項3】 請求項1または2に記載の伝送線路を用いたフィルタ。

【請求項4】 請求項1または2に記載の伝送線路を複数の共振線路として設け、隣接する共振線路間を結合させて成るフィルタ。

【請求項5】 請求項3または4に記載のフィルタを2組設けて成るデュプレクサ。

【請求項6】 請求項1もしくは2に記載の伝送線路、請求項3もしくは4に記載のフィルタ、または請求項5に記載のデュプレクサを用いた通信装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、マイクロ波帯等で用いられる伝送線路、フィルタ、デュプレクサおよびそれらを用いた通信装置に関するものである。

## 【0002】

【従来の技術】従来、Vesna Radisic etc, "Novel 2-D Photonic Bandgap Structure for Microstrip Lines", IEEE MICROWAVE AND GUIDED WAVE LETTERS, Vol. 8, No. 2, FEBRUARY 1998 (文献1)やFei-Ran Yang etc, "A Novel Compact Microstrip Bandpass Filter with Intrinsic Spurious Suppression", Asia-Pacific Microwave Conference Digest December 1998 (文献2)には、伝送線路の線路インピーダンスを、信号の伝送方向に沿って周期的に変化させることによって、伝送線路に特有の周波数特性が発現することが知られている。これらの文献1, 2には、マイクロストリップ線路において、その接地面に、信号伝搬方向とそれに垂直な方向にそれぞれ等しい周期で電極削除部分を配置したものが示されている。

## 【0003】

【発明が解決しようとする課題】しかし、このような伝送線路のインピーダンスを周期的に変化させた線路を用いてフィルタを設計する場合、信号伝搬線路部分の形状が複雑になるため、線路同士を結合させて所定のフィルタ特性を備えたフィルタを設計することは困難であった。

【0004】また、マイクロストリップ線路等の伝送線路において、接地面に電極削除パターンを形成してイン

ピーダンスを変化させることによって低域通過特性を持たせることは可能であるが、上記文献1, 2では、信号伝搬方向とそれに垂直な方向に、それぞれ等しい間隔で電極削除パターンを配置するようにしているため、阻止帯域の周波数を任意に定めることはできなかった。例えば、阻止帯域の周波数を変えるために上記電極削除パターンの間隔を変化させると、信号伝搬方向に垂直な方向の電極削除パターンが変化することによって、伝送線路の特性インピーダンスが変化してしまい、反射特性の劣化が生じ、それに伴って通過損失が増大するという問題があった。

【0005】この発明の目的は、上記反射特性の劣化と通過損失の増大の問題を回避するとともに、所望の周波数特性を備えた伝送線路、フィルタ、デュプレクサおよびそれらを用いた通信装置を提供することにある。

## 【0006】

【課題を解決するための手段】この発明の伝送線路は、信号伝搬線路部分と、それに対応する接地電極を有する伝送線路であって、信号の伝搬方向に略等間隔で、且つ信号の伝搬方向に対して略垂直な方向に、少なくとも1箇所は、前記信号の伝搬方向とは異なる間隔で、それぞれ分布する電極非形成部を、前記接地電極の形成面に設ける。

【0007】このように電極非形成部を信号の伝搬方向に略等間隔に配置することによって、その間隔と伝送線路上の波長に応じた周波数を阻止帯域の中心周波数に定めることができ、信号の伝搬方向に対して垂直な方向の電極非形成部の間隔を、信号の伝搬方向の間隔とは独立して定めることによって、線路のインピーダンスおよび阻止帯域の減衰量を定めることができる。

【0008】また、この発明の伝送線路は前記信号の伝搬方向に対して略垂直な方向の電極非形成部の間隔を、前記信号伝搬線路の線路インピーダンスに応じて変化させる。例えば伝送線路途中でインピーダンスマッチングをとったり、逆に、伝送線路の途中でインピーダンスを変化させる。

【0009】また、この発明のフィルタは、上記伝送線路を用いて構成する。すなわち伝送線路自体が備える帯域阻止特性をフィルタとして用いる。

【0010】また、この発明のフィルタは上記伝送線路を複数の共振線路として設け、隣接する共振線路同士を結合させて構成する。これにより、上記電極非形成部による帯域阻止特性と、共振線路による周波数特性とを併せ持った特性を得る。

【0011】この発明のデュプレクサは、上記のフィルタを2組設けて構成する。例えば送信フィルタと受信フィルタとして設けて、アンテナ共用器として構成する。

【0012】また、この発明の通信装置は、上記伝送線路、フィルタまたはデュプレクサを用いて構成する。

## 【0013】

【発明の実施の形態】この発明の第1の実施形態に係る伝送線路の構成を図1および図2を参照して説明する。図1において(A)は誘電体板に構成した伝送線路の上面図、(B)は下面図である。ここで1は誘電体板であり、上面に導体線路2を形成している。誘電体板1の下面には接地電極3を略全面に形成している。ただし導体線路2による信号の伝搬方向(以下、単に「伝搬方向」という。)に間隔aで、信号の伝搬方向に対して垂直な方向(以下、「幅方向」という。)に間隔bで、それぞれ電極非形成部4を周期的に分布させている。

【0014】上記誘電体板1の上面の導体線路2と、下面の接地電極3とによってマイクロストリップ線路を構成している。そして、電極非形成部4の伝搬方向の間隔aと、誘電体板1の誘電率により定まる伝送線路上の波長とによって、通過特性に減衰域が生じる。また、幅方向の間隔bによって上記阻止帯域の減衰量を定める。

【0015】上記伝送線路の周波数特性を図2に示す。ここで誘電体板1を、比誘電率10.3、厚さ0.635mmの誘電体セラミック基板とし、導体線路2の寸法を、長さ25.4mm、幅0.61mmとし、電極非形成部4の寸法を1.5×1.5mmとし、伝搬方向の間隔aを3.0mmとして3行9列設けている。そして、幅方向の間隔bを3.0mmまたは1.55mmとする。図2に示すように、電極非形成部4を設けずに、全面の接地電極を設けた場合には、S21特性には減衰域が生じないが、電極非形成部4の存在により、この例では15~21GHzに減衰域が生じていて、15GHz付近を遮断周波数とする低域通過特性を示す。またこのS21特性とS11特性から明らかなように、幅方向の電極非形成部の間隔bを小さくすることによって減衰域の減衰量が大きくなり、間隔bによって阻止帯域の周波数とは独立に減衰量が変わることが判る。

【0016】なお、伝搬方向の間隔aと阻止帯域の中心周波数fとの関係は、次式で表される。

$$【0017】 f = Vc / \{ 2 \cdot \sqrt{( \epsilon_{\text{reff}} ) \cdot a } \}$$

ここで、

Vc: 光速

$\sqrt{( \epsilon_{\text{reff}} )}$ : 実効誘電率

である。

【0018】この構造により、電極非形成部4の長手方向の間隔aに応じて定まる周波数帯域で通過損失が増大し、この伝送線路を伝搬させようとする信号の周波数帯域の高域側に阻止帯域が現れるように定めることによって、伝送させるべき信号より高周波の伝搬モードなどを阻止する。

【0019】次に、第2の実施形態に係る伝送線路の構成を図3を参照して説明する。図3の(A)は伝送線路を構成した誘電体板の上面図、(B)はその下面図である。(この(A)が上面図、(B)が下面図であることは、以下の各図において共通である。)ここで1は誘電

体板であり、上面に導体線路2を形成している。基板1の下面には接地電極3を形成している。図1に示した伝送線路と異なり、この例では、電極非形成部4を伝搬方向に対して垂直な方向に5行分設けている。また、導体線路2の導体幅を途中でステップ状に変化させていて、この導体線路の幅の変化に合わせて電極非形成部の幅方向の間隔も変化させている。すなわち導体線路の導体幅の細い部分に対向する領域では幅方向の間隔をb1とし、導体線路2の導体幅の広い部分に対向する領域では、幅方向の電極非形成部4の間隔をb2として広くしている。なお、導体線路の対向領域から離れた位置では、電極非形成部4を伝搬方向に沿って直線状に配置している。そのため、導体線路の幅の狭い部分に対向する、中央から離れた部分での電極非形成部の幅方向の間隔c1は、導体線路の導体幅の広い部分に対向する間隔c2より広くなっているが、線路導体2と接地電極3との間に生じる電磁界の分布は、導体線路2の近傍に集中するため、線路インピーダンスは導体線路に近い領域での電極非形成部4の幅方向の間隔b1、b2に影響を受ける。

【0020】一般に、電極非形成部を設けない、全面の接地電極を有するマイクロストリップ線路においては、導体線路の導体幅が広がるほど、分布定数のうち容量成分が増すが、この実施形態に示すように、導体線路の導体幅の広い部分に対応して電極非形成部4の幅方向の間隔を広くすることによって容量成分がさらに増し、ステップ構造の線路インピーダンスの差をさらに大きくすることができる。

【0021】図4は第3の実施形態に係る伝送線路の上面図である。このように誘電体板1の上面に導体線路2とともに、その両脇に接地電極3を配置することによってコプレーナ線路を構成している。誘電体板1の下面には特に電極を形成していない。接地電極3には伝搬方向に間隔a、幅方向に間隔bで、複数の電極非形成部4を分布させている。この構造により、電極非形成部4の長手方向の間隔aに応じて定まる周波数帯域で通過損失が増大し、この伝送線路を伝搬させようとする信号の周波数帯域の高域側に阻止帯域が現れるように定めることによって、通過帯域の高域側に低域通過特性をもたせる。

【0022】なお、図4に示したものと同様の電極パターンを誘電体板1の上面に形成し、誘電体板1の下面に全面の接地電極を設ければ、グラウンデッドコプレーナ線路を構成することができる。

【0023】図5はグラウンデッドコプレーナ線路についての例であるが、誘電体板の下面にも、伝搬方向と幅方向に分布する電極非形成部4を設けている。この例では、導体線路2の導体幅の広い部分に対向する電極非形成部4の幅方向の間隔をb2として、導体幅の狭い部分に対向する電極非形成部4の幅方向の間隔b1より広くしている。このため、導体線路2と接地電極3との間に

生じる容量成分は、導体線路2の導体幅の広い部分で、より大きくなる。この構造により、ステップ構造の線路インピーダンスの差をより大きくしている。

【0024】図6はスロット線路に適用した例であり、誘電体板1の上面に接地電極の存在しないスロット部5を設け、接地電極3に、伝搬方向に間隔 $a$ 、幅方向に間隔 $b$ で、電極非形成部4を分布させている。なお、誘電体板1の下面には接地電極を形成していない。

【0025】図7は同軸線路構造の伝送線路の例を示している。図7において(B)は信号の伝搬方向を見た正面図、(A)はその上面図である。ここでは内部に内導体形成孔7を設けた誘電体ブロックであり、その正面と背面を開放面とし、他の四面に接地電極3を形成している。この四面の他の三面も(A)に示すものと同様の配置パターンで電極非形成部4を形成している。

【0026】内導体形成孔7は、その内径を中央部で細くしたステップ構造としている。このため、仮に接地電極3が全面の電極であれば、内導体形成孔の細くなった部分で線路インピーダンスが高くなるが、この例では、内導体形成孔の細くなった部分に対応する電極非形成部4の幅方向の間隔を $b_2$ とし、これを内導体形成孔の太い部分での間隔 $b_1$ より広くして、線路インピーダンスを略一定としている。

【0027】図8はストリップ線路に適用した例を示している。ここで(A)は上面図、(B)は下面図、(C)は右側面図である。このように誘電体板1の上下面に接地電極3を設けるとともに、中間層部分に導体線路2を設けることによってストリップ線路を構成するが、上面の接地電極3に対して伝搬方向と幅方向に所定の間隔で分布する電極非形成部4を設けることによって、伝搬すべき信号の周波数帯域の高域側に低域通過特性を持たせている。また、導体線路2の導体幅に応じて、電極非形成部4の幅方向の間隔を変えることによって、図3に示した場合と同様に線路各部のインピーダンスを定めている。

【0028】図9もストリップ線路の例であるが、誘電体板1の上下面の接地電極3にそれぞれ電極非形成部4を分布させている。これにより、周波数の高域側の阻止特性を向上させている。

【0029】次に、上記各種の伝送線路を共振線路として用いて構成したフィルタの例を示す。図10はマイクロストリップ線路によるフィルタであり、誘電体板1の上面に3つの共振線路導体8a、8b、8cをおよび入出力結合線路9a、9bを形成している。誘電体板1の下面には接地電極3を形成するとともに、伝搬方向と幅方向に所定の間隔で電極非形成部4を分布させている。

【0030】共振線路導体8a、8b、8cはそれぞれ両端開放の半波長共振器として作用し、隣接する共振線路導体による共振器 $\pi$ が結合して、また共振線路導体8a、8cと入出力線路9a、9bとが結合して、

3段の共振器から成る帯域通過型のフィルタとして作用する。また、接地電極3に電極非形成部4を設けたことによって、その伝搬方向の間隔 $a$ と誘電体板上での波長とにより定まる周波数を中心周波数とする帯域で通過損失が増大する特性が生じる。したがって、所定周波数を中心周波数とする帯域通過特性と、所定周波数を中心周波数とする帯域阻止特性とを併せ持ったフィルタとなる。たとえば上記阻止帯域を、スプリアスモードが生じる帯域とすることによって、スプリアス特性に優れたフィルタを容易に得ることができる。なお、上記阻止帯域の減衰量および共振線路の線路インピーダンスは、電極非形成部4の幅方向の間隔 $b_1$ 、 $b_2$ によって定める。

【0031】図11はコプレーナ線路による例であり、誘電体板1の上面に共振線路導体8a、8b、8cおよび入出力結合線路9a、9bを形成し、電極非形成部4を分布させた接地電極3を、その両脇に設けている。誘電体板1の下面に接地電極を形成しなければ、共振線路導体8a、8b、8cは通常のコプレーナ線路による共振器として作用し、接地電極を形成すれば、共振線路導体8a、8b、8cはグラウンデッドコプレーナ線路による共振器として作用する。これらの共振器は隣接する共振器間が結合し、入出力結合線路9a、9bは共振線路導体8a、8cにそれぞれ結合する。この構造により、3段の共振器から成る帯域通過型のフィルタとして作用する。また、接地電極3に電極非形成部4を設けたことによって、所定周波数帯域で通過損失が増大する特性が生じる。これにより、所定周波数を中心周波数とする帯域通過特性と、所定周波数を中心周波数とする帯域阻止特性とを併せ持ったフィルタとなる。

【0032】図12も共振線路をコプレーナ線路で構成した例であるが、誘電体板1の下面の接地電極3にも、伝搬方向と幅方向に所定間隔で分布する電極非形成部4を設けている。これにより、電極非形成部により生じる阻止帯域の減衰量を大きくすることができる。

【0033】図13は共振線路をスロット線路で構成した例であり、誘電体板1の上面に接地電極3を形成するとともに、共振スロット部10a、10b、10c、入出力結合スロット部11a、11bおよび電極非形成部4を設けている。このようにして、スロット線路の3段の共振器による帯域通過特性と、電極非形成部4による帯域阻止または低域通過特性とを併せ持った特性を得る。

【0034】図14は同軸共振器による例である。ここで12a、12b、12c、12dはそれぞれ同軸共振器であり、16はこれらをマウントする基板である。同軸共振器12a～12dは角柱状の誘電体ブロックの内部に内導体形成孔を設け、外面に接地電極を形成するとともに、電極非形成部4を設けたものである。各同軸共振器の内導体形成孔には、内導体引き出し端子13a、13b、13c、13dを挿入していて、その端部を基

板上の結合用電極14a, 14b, 14c, 14dにそれぞれ半田付けしている。これらの結合用電極14a~14dは、隣接する結合用電極間で静電容量を生じさせて、容量結合させている。また入出力用電極15a, 15bと結合用電極14a, 14dとの間にもそれぞれ静電容量を生じさせて外部結合をとっている。

【0035】このようにして、それぞれ所定の周波数で共振し、他の所定の周波数帯域で減衰する4つの共振器で、帯域通過特性および帯域阻止特性を備えるフィルタを得る。

【0036】図15はストリップ線路による例であり、誘電体板1の上下面に接地電極3を形成し、内部に共振線路導体8a, 8b, 8cおよび入出力結合線路9a, 9bを形成している。そして、上面の接地電極3には電極非形成部4を分布させている。

【0037】図16もストリップ線路によるフィルタの例であるが、誘電体板1の下面にも電極非形成部4を分布させている。但し、上面の電極非形成部4と下面の電極非形成部4とは、そのパターンを異ならせている。このことにより、上面の電極非形成部の伝搬方向の間隔a1により定まる阻止帯域と下面の電極非形成部の伝搬方向の間隔a2により定まる阻止帯域とを異ならせている。例えばこの2つの阻止帯域を、抑圧すべきスプリアスの生じる帯域に定めれば、多数のスプリアスを効果的に抑圧することができる。また、2つの阻止帯域を連続的に配置することによって、より広帯域に亘って減衰特性を得ることができる。

【0038】次に、デュプレクサおよび通信装置の構成例を図17を参照して説明する。ここで、受信フィルタと送信フィルタはそれぞれ帯域通過特性と帯域阻止特性を有するフィルタであり、以上に示したいずれかの構成のフィルタを用いる。そして、送信フィルタの通過帯域と阻止帯域を送信信号帯域と受信信号帯域にそれぞれ合わせ、受信フィルタの通過帯域と阻止帯域を受信信号帯域と送信信号帯域にそれぞれ合わせている。このようなデュプレクサに対して受信回路と送信回路を接続し、アンテナを接続することによって、通信装置を構成している。

【0039】

【発明の効果】請求項1に記載の発明によれば、線路のインピーダンスおよび阻止帯域の減衰量を阻止帯域の中心周波数とは独立して定めることができるため、所望の伝送特性を備えた伝送線路を構成することができる。

【0040】請求項2に記載の発明によれば、例えば伝送線路途中でインピーダンスマッチングをとったり、伝送線路の途中でインピーダンスが変化するステップ構造を採ったりすることが容易にできる。

【0041】請求項3に記載の発明によれば、伝送線路自体が備える特性で、帯域阻止特性または低域通過特性を有するフィルタとして用いることができるため、全体

の構成を非常に簡略化することができる。

【0042】請求項4に記載の発明によれば、電極非形成部により生じる周波数特性と、共振線路による周波数特性とを併せ持った特性が得られるため、小型でありながら、機能性の高いフィルタが得られる。

【0043】請求項5に記載の発明によれば、小型で機能性の高い、アンテナ共用器などのデュプレクサが得られる。

【0044】請求項6に記載の発明によれば、小型化された通信装置が得られる。

【図面の簡単な説明】

【図1】マイクロストリップ線路による伝送線路の構造を示す図

【図2】同伝送線路の周波数特性を示す図

【図3】他のマイクロストリップ線路による伝送線路の構造を示す図

【図4】コプレーナ線路による伝送線路の構成を示す図

【図5】グラウンデッドコプレーナ線路による伝送線路の構成を示す図

【図6】スロット線路による伝送線路の構成を示す図

【図7】同軸線路による伝送線路の構成例を示す図

【図8】ストリップ線路による伝送線路の構成例を示す図

【図9】ストリップ線路による伝送線路の構成例を示す図

【図10】マイクロストリップ線路によるフィルタの構成例を示す図

【図11】コプレーナ線路によるフィルタの構成例を示す図

【図12】グラウンデッドコプレーナ線路によるフィルタの構成例を示す図

【図13】スロット線路によるフィルタの構成例を示す図

【図14】同軸共振器を用いたフィルタの構成例を示す図

【図15】ストリップ線路によるフィルタの構成例を示す図

【図16】他のストリップ線路によるフィルタの構成例を示す図

【図17】デュプレクサおよび通信装置の構成を示す図

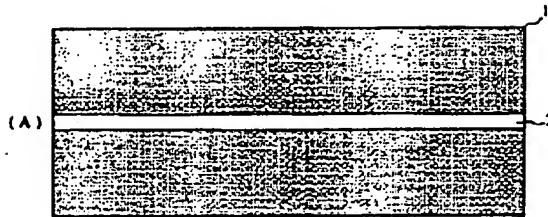
【符号の簡単な説明】

- 1-誘電体板
- 2-導体線路
- 3-接地電極
- 4-電極非形成部
- 5-スロット部
- 6-誘電体ブロック
- 7-内導体形成孔
- 8-共振線路導体
- 9-入出力結合線路

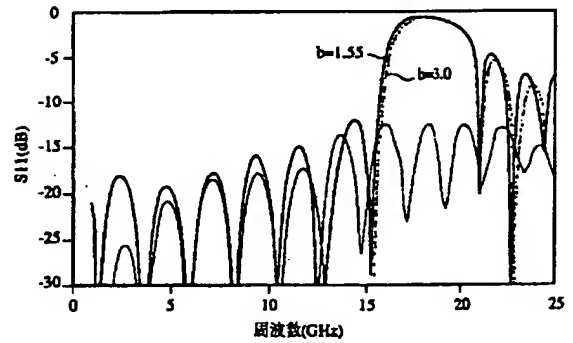
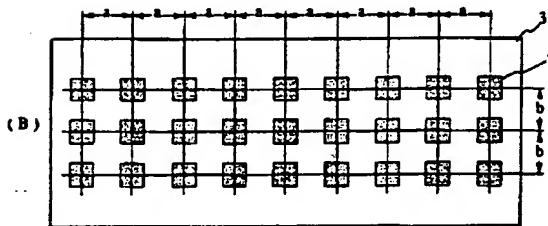
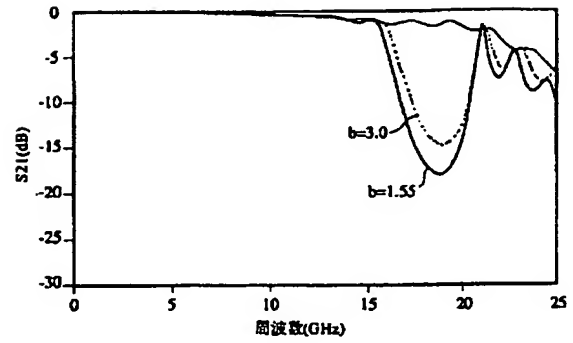
- 10-共振スロット部
- 11-入出力結合スロット部
- 12-同軸共振器
- 13-内導体引出端子

- 14-結合用電極
- 15-入出力用電極
- 16-基板

【図1】

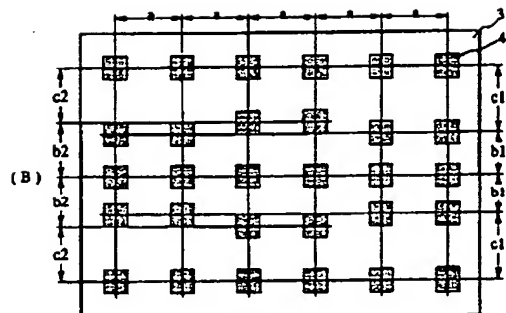
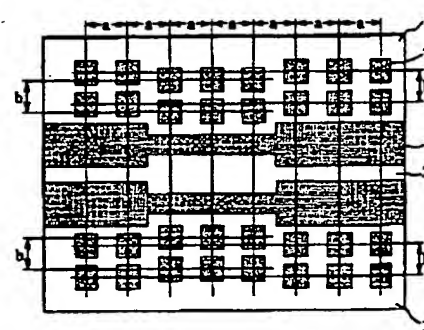
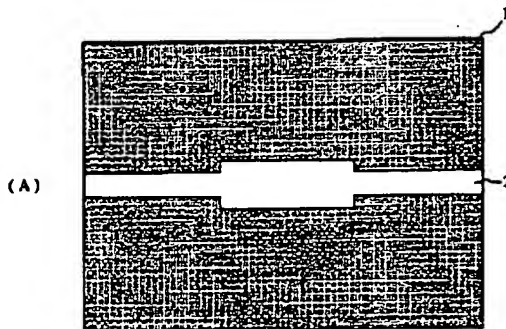


【図2】

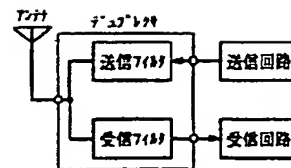


【図3】

【図4】

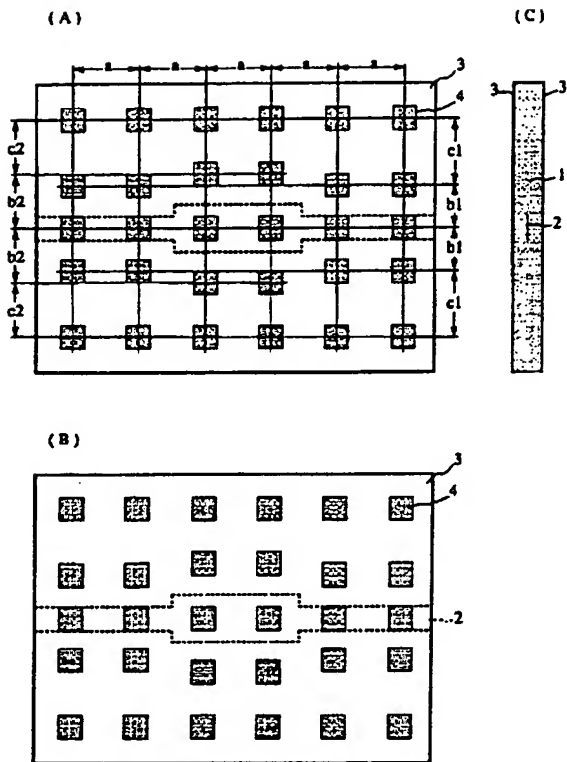


【図17】

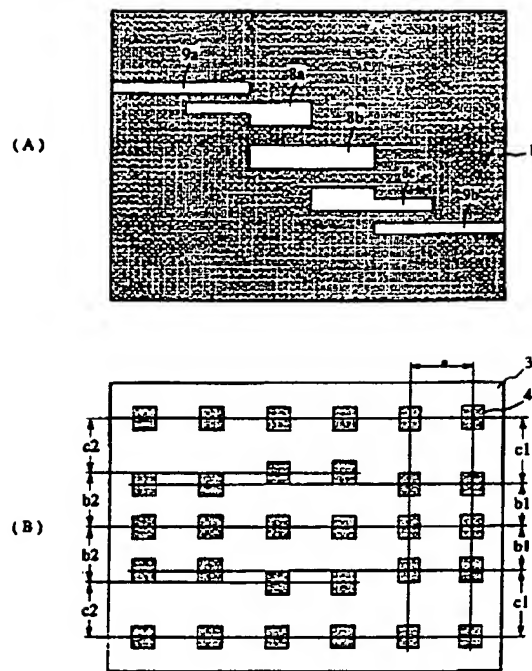




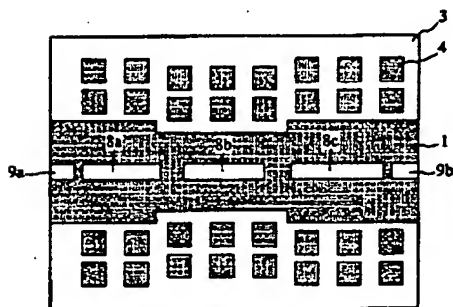
【図9】



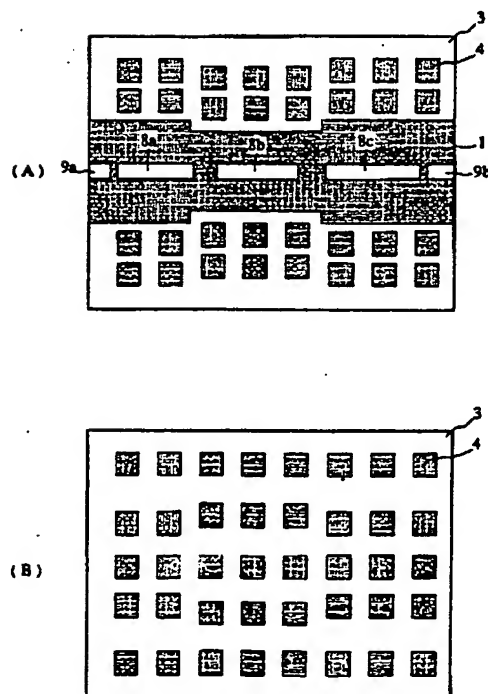
【図10】



【図11】

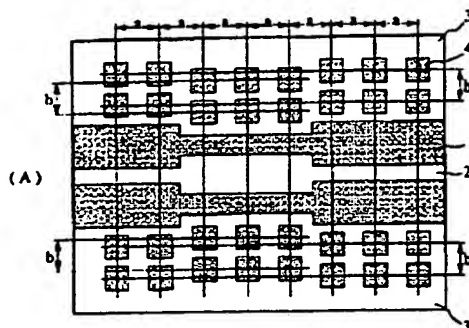


【図12】

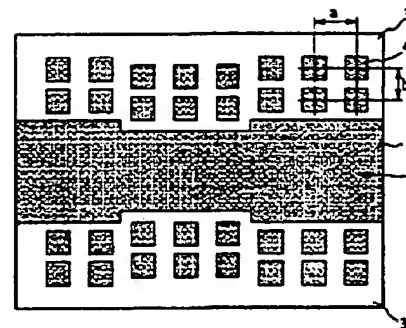




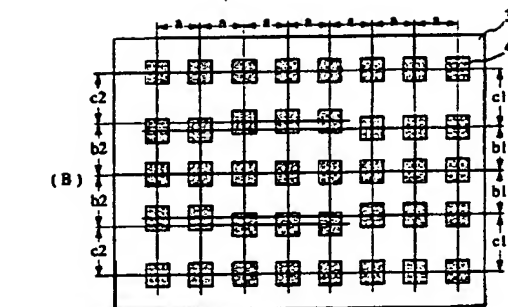
【図5】



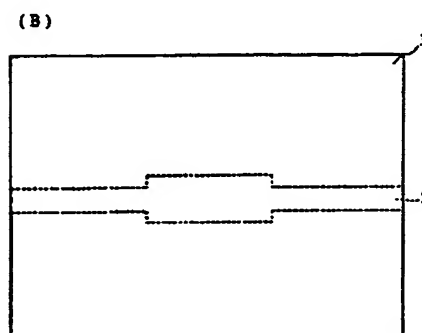
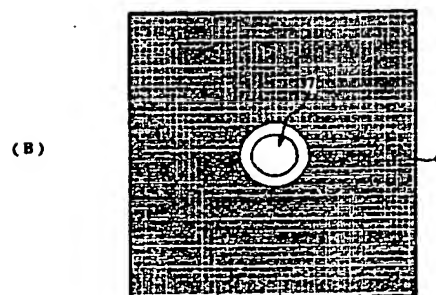
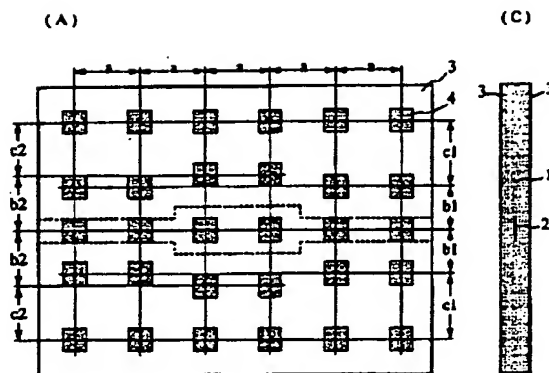
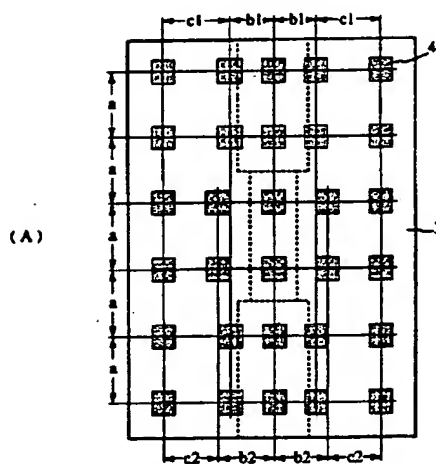
【図6】



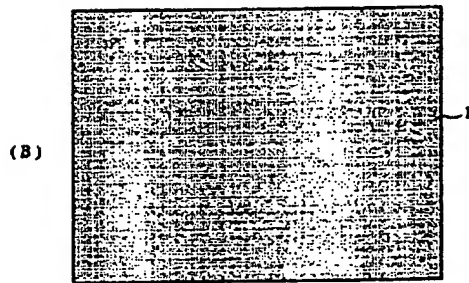
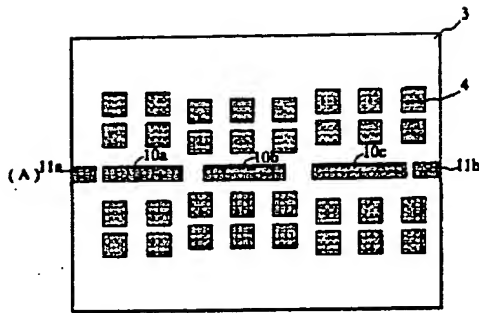
【図7】



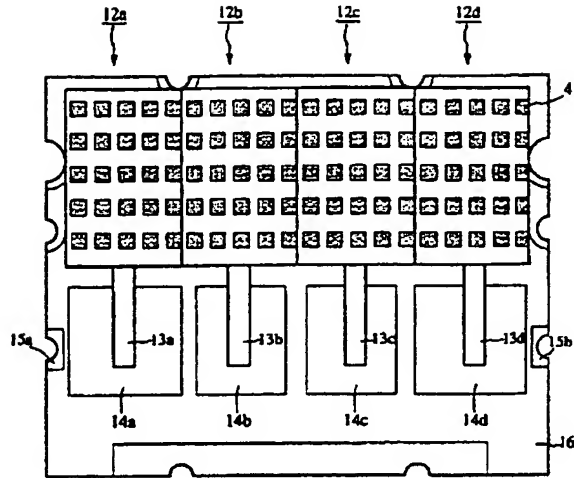
【図8】



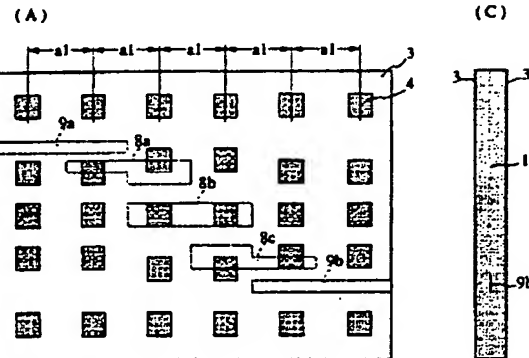
【図13】



【図14】



【図16】



【図15】

